

基于 RHBD 技术 CMOS 锁存器加固电路的研究

胡明浩, 李 磊, 饶全林

(电子科技大学 电子科学技术研究院, 四川 成都 610054)

摘 要: 对基于 RHBD 技术 CMOS D 锁存器抗辐射加固电路设计技术进行了研究, 并对其抗单粒子效应进行了模拟仿真. 首先介绍了基于 RHBD 技术的双互锁存储单元(DICE)技术, 然后给出了基于 DICE 结构的 D 锁存器的电路设计及其提取版图寄生参数后的功能仿真, 并对其抗单粒子效应给出了模拟仿真, 得出了此设计下的阈值 LET, 仿真结果表明: 基于 DICE 结构的 D 锁存器具有抗单粒子效应的能力.

关键词: CMOS; 抗辐射加固; RHBD 技术; DICE; D-Latch; 阈值 LET

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)07-0206-04

Research of CMOS D-Latch Hardened Circuit Based on RHBD Technology

HU Ming-hao, LI Lei, RAO Quan-lin

(Research Institute of Electronic Science and Technology, UESTC, Chengdu 610054, China)

Abstract: This paper introduces the design technology of CMOS D-Latch Radiation-Hardened Circuit based on the RHBD (Radiation-Hard-By-Design) technology, and Single Event Effects simulation was conducted. Firstly, The paper introduces the technologies of Dual interlocked storage cell (DICE) based on RHBD; then gives out the D-Latch design based on the structure of DICE, along with its wave-form of function with extracting parasitic parameters from its layout, and Single Event Effects simulation. It proves that the DICE latch has the ability of single-event-effects-Hard, and the LET threshold was worked out.

Key words: CMOS; radiation-hardened; RHBD; DICE; D-latch; LET threshold

1 引言

随着集成电路工艺尺寸的减小及集成度的提高, 电子系统受辐射环境的影响愈加严重, 抗辐射加固技术愈加受到重视. 辐射效应会导致记忆单元的数据翻转混乱, 并导致整个逻辑电路的传输数据错误. 当今世界很多国家都在致力于抗辐射加固技术的研究, 其中 RHBD (Radiation-Hard-By-Design) 技术是一种单靠电路加固来实现抗辐射的技术方案. RHBD 技术在标准商用 CMOS 工艺上可以达到超过 20Mrads 的抗总剂量效应, 同时其在抗单粒子效应方面也有很好的效果.

文中研究了基于 RHBD 技术的双互锁存储单

元(Dual interlocked storage cell, DICE)电路, 给出基于 DICE 结构的具有抗辐射能力的 D 锁存器设计, 绘制版图并提取版图 RC 寄生参数, 给出了带有版图寄生参数的功能仿真, 并对其抗单粒子效应进行了模拟仿真.

2 RHBD 技术

RHBD 技术单靠电路加固来提高电路抗辐射的能力, 在设计上有很大的灵活性. 目前, 已有众多基于 RHBD 技术的加固方法来实现电路的抗辐射指标, 主要有保护门电路(Guard-gates)技术^[1]、三模冗余(triple modular redundancy, TMR)技术^[2]、双互锁存储单元(DICE)技术^[3,4]等. 其中 DICE 结构的

电路常用于一些抗辐照存储单元及锁存器的设计中,而锁存器常用于超大规模集成电路的设计中,将 DICE 结构的电路应用于锁存器的设计对于提高整体电路的抗辐射能力有很大帮助。

3 DICE 技术

单粒子翻转效应(single event upsets, SEU)是一种在辐射环境下,因为入射粒子对半导体器件的撞击,而使锁存器或者存储器单元的状态发生改变,引起“软”逻辑错误的现象。由于单个粒子在敏感结附近沉积了足够的能量而产生了一个不正确的逻辑电平,并被锁存起来^[5]。SRAM 作为一种特殊的宏单元,对单粒子翻转效应极为敏感,需要在电路结构上进行加固设计。在设计中采用附加晶体管的冗余锁存结构,减轻了单粒子翻转效应的影响。在设计中采用双互锁存储单元^[3,4],这种单元能获得很好的抗单粒子翻转效果,并且在晶体管尺寸上没有特定的要求,因此也并没有因为晶体管比例尺寸引起对总剂量的敏感。这个单元适用于代替分布在 CMOS ASIC 中的锁存器和触发器,也可以用来作为加固的 SRAM。

DICE 的加固设计中,完全采用单管反相器构成反馈环,获得一个和其他结构相比具有突破性进展的锁存结构。这种新的 SEU 加固存储单元的设计,采用了新奇的四结点的冗余锁存,如图 1 所示。图中的 N、P 反相器分别代表 N 型和 P 型单管反相器。图中采用了两个传统的交叉耦合的反相锁存结构 $N_0 - P_1$ 和 $N_2 - P_3$ 和两个双向连接反馈反相器结构 $N_1 - P_2$ 和 $N_3 - P_0$ 。四个结点 $X_1 \cdots X_3$ 存储了两对互补的数据(如 1010 或者 0101),可以通过传输门的同时存取来进行读/写操作。

单元中有四个结点存储逻辑状态,其中每个结点的状态都由相邻对角的结点控制,而这对角的结点并不互相联系,它们的状态也由其他的相邻对角的结点的状态控制。结点 $X_i (i = 0 \cdots 3)$ 通过晶体管 N_{i-1} 和 P_{i+1} ,互补反馈的控制相应的对角上互补的两个结点 X_{i-1} 和 X_{i+1} ,这里的 i 为以 4 为模的 1 位整数,这里的反相器用的都是单管反相器。图 1 中的反相器符号事实上或者是 P 型晶体管,或者是 N 型晶体管,分别用字符标示。它们形成了两个相对的反馈环,一个顺时针的 P 型晶体管环, $P_0 \cdots P_3$, 和一个逆时针的 N 型晶体管环, $N_3 \cdots N_0$ 。如果把 $X_0 \cdots X_3 = 0101$ 作为逻辑状态“0”,由晶体管 $N_0 - P_1$ 和 $N_2 - P_3$ 形成的横向的反相器环导通,形成两个锁存

器,在结点 $X_0 - X_1$ 和 $X_2 - X_3$ 上存储了同样的数据。晶体管对 $N_1 - P_2$ 和 $N_3 - P_0$ 的竖直方向的反相器处于关闭状态,起到一个反馈互锁功能,隔离两个横向的锁存器。对于逻辑状态位“1”的情况, $X_0 \cdots X_3 = 1010$, 竖直方向的反相器对 $N_1 - P_2, N_3 - P_0$ 导通,同样的,起到锁存功能,横向的晶体管对 $N_0 - P_1, N_2 - P_3$ 关闭,起到反馈互锁功能,隔离两个竖直方向的锁存器。

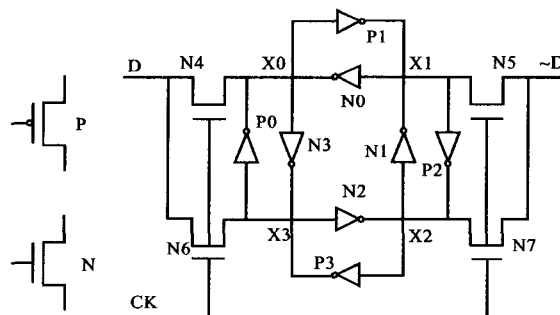


图 1 DICE 存储单元原理图

4 CMOS D-Latch 加固电路

4.1 电路设计

锁存器(Latch)是能够接受和维持一个输入二进制位的部件。锁存器是透明的,即输入的变化在经过电路的延迟时间后可以在输出端上看到。在大规模集成电路设计中,D 锁存器是许多设计的基础。

基于 DICE 结构的 D 锁存器的设计,如图 2 所示,采用 SMIC 0.18 μm 的工艺,所有 PMOS 管的尺寸均相同: $W = 0.45\mu\text{m}$, $L = 0.18\mu\text{m}$, 所有 NMOS 管的尺寸均相同: $W = 0.22\mu\text{m}$, $L = 0.18\mu\text{m}$ 。时钟信号 CK, 输入信号 D, 输出信号 Q。

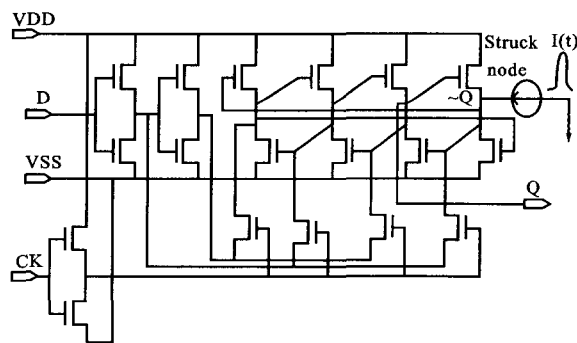


图 2 基于 DICE 结构的 D-Latch 的原理图

使用 Cadence 下的 Virtuoso Layout Editor 进行版图绘制,对所设计的锁存器版图如图 3 所示。由于使用了更多的 MOS 管,大约是未加固单元的 2 倍,

它的版图面积大约是未加固单元的 1.5 倍. 使用 Mentor Graphics 下 Calibre 提取 RC 寄生参数, 并做加入寄生参数后的功能仿真, 仿真波形如图 4 所示. 在时钟的高电平期间, 锁存器锁存数据, 输出 Q 不随着输入 D 的变化而变化; 在时钟的低电平期间, 锁存器是透明的, 输出 Q 随着输入 D 的变化而变化.

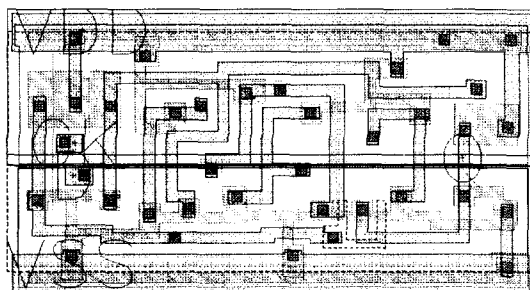


图 3 基于 DICE 结构 D-Latch 的版图设计

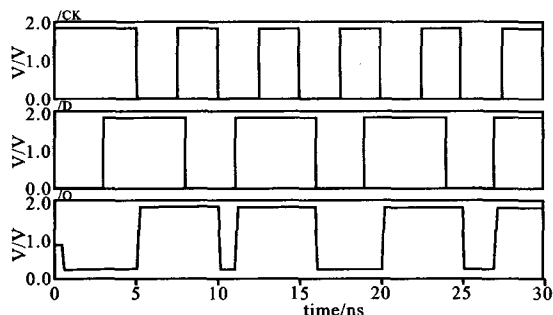


图 4 基于 DICE 结构锁存器的功能仿真波形

4.2 单粒子效应模拟

辐射环境下高能粒子射入半导体器件的灵敏区, 产生大量的电子-空穴对, 并被 n 区和 p 区收集, 产生瞬态电流脉冲, 使器件产生软错误.

对文中设计的 D 锁存器抗单粒子效应的能力进行模拟仿真, 只考虑锁存器单个结点受辐射粒子影响的情况. 在图 2 所示的电路中, 通过在 $\sim Q$ 点(单点)注入瞬态脉冲 $I(t)$, 从而达到使 $\sim Q$ 点的电位在瞬间发生极短时间的翻转, 监测输出 Q 的变化^[6-7].

辐射环境下入射粒子对半导体器件损伤的强弱程度可用线性能量传输值 (linear energy transfer, LET) 来衡量, 单位是 $\text{Mev} \cdot \text{cm}^2 / \text{mg}$. LET 的意义是入射粒子在单位长度上淀积的能量, 通常再除以硅的密度. 即

$$LET = \frac{1}{\rho} \cdot \frac{dE}{dx}$$

其中, ρ 通常是硅的密度; $\frac{dE}{dx}$ 为电离损失率, 通常前

面加负号, 表示能量的减少, 为 $\left(-\frac{dE}{dx}\right)$, 其含义是重带电粒子通过物质的单位长度时, 由于物质原子的电离和激发而逐渐损失的能量, 单位常用 Mev/cm .

带电粒子的入射, 在电离的作用下会在它的轨迹周围留下许多离子对. 每单位路径上产生的离子对的数目称为比电离或电离密度, 用 $\frac{dN}{dx}$ 表示.

带电粒子在吸收物质中形成一对电子-空穴对平均消耗的能量称为平均电离能, 用符号 w 表示.

平均电离能 w 、电离损失率 $\left(-\frac{dE}{dx}\right)$ 和电离密度 $\frac{dN}{dx}$ 三者的关系为:

$$\frac{dN}{dx} = \frac{\left(-\frac{dE}{dx}\right)}{w}$$

所以对于 $1\text{pC}/\mu\text{m}$, 有

$$1\text{pC}/\mu\text{m} \Leftrightarrow \frac{1 \times 10^{-12} \text{C}/\mu\text{m}}{1.6 \times 10^{-19} \text{C}} \cdot 3.6 \text{eV} \cdot \frac{1}{2330 \text{mg}/\text{cm}^3} = 96.567 \text{MeV} \cdot \text{cm}^2 / \text{mg}$$

在辐射粒子的入射下, 对于 PMOS 器件, 入射深度即电荷收集的深度一般为 $0.9\mu\text{m}$, 而 NMOS 器件的电荷收集深度一般为 $1.2\mu\text{m}$. 对所设计的锁存器抗单粒子效应进行模拟仿真时, 假设粒子为垂直入射, 并假设粒子的入射深度为 $1\mu\text{m}$, 即电荷的收集深度为 $1\mu\text{m}$.

把导致器件出现软错误的最低电荷量记为临界电荷量 $Q_{\text{critic}}(\text{fC})$, 并把其对应的 LET 值称为阈值 LET. 通过改变积聚的电荷量大小, 可以改变脉冲强度.

用 Hspice 进行模拟仿真, 在 $\sim Q$ 点注入瞬态脉冲 $I(t)$, 脉冲上升时间为 7ps , 下降时间为 200ps , 并通过改变积聚的电荷量 Q_c , 使 Q_c 从 1fC 开始, 依次递增, 递增量为 1fC , 以此来改变脉冲强度. 输出 Q 的正确值应为高电位. 当 $Q_c = 20\text{fC}$ 时, 输出 Q 受到干扰脉冲的影响, 但在瞬间即可恢复正常, 不影响输出, 如图 5(a) 所示; 当 $Q_c = 35\text{fC}$ 时, 输出 Q 受干扰脉冲的影响较大, 但仍可恢复正常, 如图 5(b) 所示; 当 $Q_c = 36\text{fC}$ 时, 输出 Q 受干扰脉冲的影响导致其电位由高变低, 并不可恢复, 出现错误, 如图 5(c) 所示.

所以, 临界电荷量 $Q_{\text{critic}} = 36\text{fC}$. 在假设辐射粒子垂直入射, 且入射深度为 $1\mu\text{m}$ 时, 则采用 DICE

结构加固的锁存器电路所能达到的抗单粒子效应的阈值 LET 值为 $3.5\text{Mev}\cdot\text{cm}^2/\text{mg}$. 而在 $0.18\mu\text{m}$ 工艺下,未加固的锁存器单元电路的阈值 LET 值在 $0.3\sim 0.7\text{Mev}\cdot\text{cm}^2/\text{mg}$ 之间^[6]. 显然,采用 DICE 结构的锁存器的抗单粒子效应的能力得到了提高.

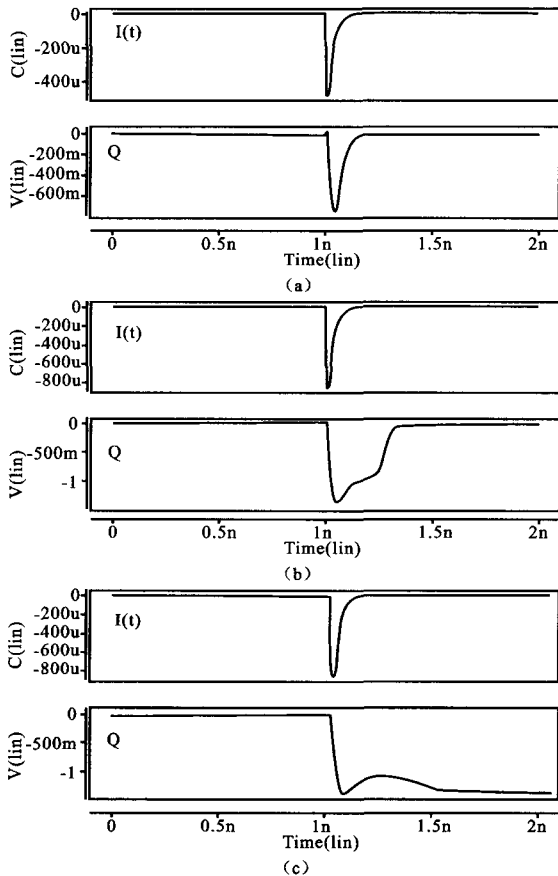


图5 D-Latch 抗单粒子效应模拟

5 结束语

文中研究了基于 RHBD 技术的 DICE 结构电路,并将 DICE 结构电路用于 D-Latch 的设计中,绘制版图并提取了版图 RC 寄生参数,做了带寄生参数的功能仿真;对其抗单粒子效应进行了模拟仿真. 仿真结果表明加固后的锁存器电路抗单粒子效

应能力得到了提高. 文中并没有考虑版图设计对抗辐射能力的影响,实际上,电路设计结合版图上的优化可以达到更优越的抗辐射能力. 同时,对于功耗、面积、速度的综合考虑在抗辐射加固电路的设计中也是非常重要的.

参考文献:

- [1] Balasubramanian A, Bhuva B L, Black J D, et al. RHBD techniques for mitigating effects of single-event hits using guard-gates[J]. IEEE Transactions on Nuclear Science, 2005, 52(6): 2531-2535.
- [2] Micheal Nicolaidis. Design for soft error mitigation[J]. IEEE Transactions on Device and Materials Reliability, 2005, 5(3): 405-417.
- [3] Jonathan E Knudsen, Lawrence T Clark. An area and power efficient radiation hardened by design flip-flop[J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3392-3399.
- [4] Rockett L. An SEU hardened CMOS data latch design[J]. IEEE Trans. Nucl. Sci., 1988, 35(6): 1682-1687.
- [5] Calin T, Vargas F, Nicolaidis M, et al. A low-cost, highly reliable SEU-tolerant SRAM: Prototype and test results[J]. IEEE Trans. Nucl. Sci., 1995, 42(6): 1592-1598.
- [6] Nadim Haddad, Leonard Rockett, Scott Doyle. Design considerations for next generation radiation hardened SRAMs for space applications [C]// Aerospace, 2005 IEEE Conference. Big Sky, 2005.
- [7] 李玉虹,赵元富,岳素格. $0.18\mu\text{m}$ 工艺下单粒子加固锁存器的设计与仿真[J]. 微电子学与计算机, 2007, 24(12): 66-69.

作者简介:

胡明浩 男, (1984-), 硕士研究生. 研究方向为抗辐射加固技术、数字 IC 设计.

李 磊 男, (1982-), 博士. 研究方向为数字 IC 设计、NoC 设计.

饶全林 男, (1986-), 硕士研究生. 研究方向为抗辐射加固技术、数字 IC 设计.

(上接第 205 页)

- [6] Kennedy J, Eberhart R C. A discrete binary version of the particle swarm algorithm[C]// Proceedings of IEEE Conference on Systems, Man, and Cybernetics. Orlando, 1997 (5): 4104-4108.
- [7] 黄岚,王康平. 粒子群优化算法求解旅行商问题[J]. 吉林大学学报, 2004(4): 477-480.

- [8] 梁艳春,冯大鹏. 遗传算法求解旅行商问题时的基因片段保序[J]. 系统工程理论与实践, 2004(4): 7-13.

作者简介:

程 乐 男, (1979-), 讲师. 研究方向为人工智能.

张洪斌 男, (1961-), 研究员. 研究方向为系统仿真.